

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## Unexamined Utility Model 62[1987]-73,638

(19) JAPANESE PATENT OFFICE (JP)

(12) Official Gazette for Laid-Open Utility Model Applications (U)

(11) Japanese Laid-Open Utility Model Application (Kokai) No. 62[1987]-73638

(43) Laying-Open Date: 12 May 1987

| (51) Int.Cl. <sup>4</sup> | Ident. Symbols | Internal Office Nos.   |
|---------------------------|----------------|------------------------|
| H 03 K 19/00<br>17/687    | 101            | B-8326-5J<br>Z-7190-5J |

Request for Examination: Not yet requested (Total of \_\_ pages)

(54) Name of Device: A Voltage Conversion Circuit

(21) Utility Model Application No.: 60[1985]-165,099

(22) Application Date: 29 October 1985

(72) Device Creator: Haruhiko Nishio  
c/o Fuji Electric Company, Ltd.  
1-1 Tanabeshinden, Kawasaki-ku, Kawasaki-shi

(71) Applicant: Fuji Electric Company, Ltd.  
c/o Fuji Electric Company, Ltd.  
1-1 Tanabeshinden, Kawasaki-ku, Kawasaki-shi

(74) Agent: Giichi Tani, Patent Attorney

## Specification

### 1. Name of Device

A Voltage Conversion Circuit

### 2. Claims

1) A voltage conversion circuit characterized in that first and second CMOS elements that connect electroconductive MOSFETs that are complementary to each other in a series are connected in parallel with each other to a high voltage power source, low polarity voltage inputs that are complementary to each other are supplied to one of the FET gates of the aforementioned respective first and second CMOS elements, the respective outputs of the aforementioned first and second CMOS elements are supplied to the other FET gates of the aforementioned first and second CMOS elements, the aforementioned other FET, which constitutes the aforementioned second CMOS element, and an add-on FET of the same electroconductive type as said other FET are connected in parallel so that output is extracted from the aforementioned second CMOS element and the output of the aforementioned first CMOS element is supplied to the gate of said add-on FET.

Utility Model 62[1987]-73,638

### 3. Detailed Description of the Device

[Field of Industrial Utilization]

The device relates to a voltage conversion circuit with which level shifts between circuits of different power source voltages can be performed.

[Prior Art]

Conventionally, in effecting voltage conversion of different power source voltages between circuits, the voltage conversion circuit 1 as shown, for example, in Figure 2 is constructed and current is applied to an external load by extracting output from the voltage conversion circuit 1 via the output buffer 2. Here, 3 is the input terminal, 4 is the output terminal, 5 is an inverter that supplies input from the input terminal and 6 is a low-voltage terminal that supplies power source voltage on the low voltage side to the inverter 5. 7 and 8 are p-MOSFETs, 9 and 10 are n-MOSFETs, the transistors 7 and 9 and 8 and 10, respectively, are connected in a series and constitute the first and second CMOS terminals and the gates of the transistors 7 and 8 of one of the CMOS terminals are connected respectively to the output terminals of the other CMOS terminal. The output signal of the inverter 5 is supplied to the gate of the transistor 8 and the input signal from the input terminal 3 is supplied to the gate of transistor 10. 11 is a terminal on the high voltage side that supplies power-source voltage on the high voltage side to the transistor 7 to transistor 10 and the voltage conversion circuit is constructed by the components 5 to 11. The output buffer 2 has a CMOS element consisting of the serially connected FETs 12 and 13 that are connected to the output terminal of the CMOS element consisting of the transistors 8 and 10, the output terminal of which CMOS element is connected to the output terminal 4.

Here, the voltage conversion circuit 1 is constructed with the sizes of the transistors 7 and 8 and 9 and 10 being made the same and with a balance being created between the first and second CMOS elements, by which means delay time is kept to a minimum. When this circuit structure is used in level shifts of great drive capacity, an increase of the through-type current that flows through these CMOS elements is brought about.

Moreover, as can also be seen from Figure 2, when the drive component of an external load is contained in this circuit, at least 6 transistors are necessary, and, when a large number of voltage conversion circuits are integrated on one chip as in a drive array, an increase of chip size is brought about.

#### [Problems the Device is Intended to Solve]

Accordingly, the object of this device is to provide a voltage conversion circuit whereby the aforementioned defects can be resolved that is equipped with an external load drive capacity and where the number of required transistors is decreased.

#### [Means for Solving the Problems]

In order to achieve this object, this device is characterized in that first and second CMOS elements that connect electroconductive MOSFETs that are complementary to each other in a series are connected in parallel with each other to a high-voltage power source, low-polarity voltage inputs that are complementary to each other are supplied to one of the FET gates of the

aforementioned respective first and second CMOS elements, the respective outputs of the aforementioned first and second CMOS elements are supplied to the other FET gates of the aforementioned first and second CMOS elements, the aforementioned other FET, which constitutes the aforementioned second CMOS element, and an add-on FET of the same electroconductive type as said other FET are connected in parallel so that output is extracted from the aforementioned second CMOS element and the output of the aforementioned first CMOS element is supplied to the gate of said add-on FET.

[Action]

By means of this invention, a voltage conversion circuit equipped with an external load drive capacity can be constructed in a state in which the number of transistors is decreased without an accompanying increase of consumed current.

[Example]

We shall now present a detailed description of this device by reference to the figures.

An example of a voltage conversion circuit of this invention is shown in Figure 1. The same symbols are used in Figure 1 for the same components [as in Figure 2] and explanations are therefore omitted.

As shown in Figure 1, the output terminal of the first CMOS terminal comprised of transistors 7 and 9 is connected to the gate of the transistor 8 in the

same way as in the case shown in Figure 2 and is also connected to the gate of the n-MOSFET 14, which is connected in parallel to the transistor 10.

When a transistor 14 of this kind is not installed, the current drive capacity of the transistors 8 and 10 should be increased in order to increase the external load drive capacity. When this is done, the gate voltage of the transistor 10 is low. Therefore, a transistor of a size greater than the output transistor of Figure 2 is necessary.

Accordingly, in this device, the current drive capacity of the third CMOS element comprised of the transistors 8 and 14 is increased by connecting the transistor 14 and the transistor 10 in parallel to the circuit that is constructed for achieving balance between the first and second CMOS elements, with the gate voltage being increased. The balance of drive forces between the second CMOS element side and the first CMOS element is destroyed, by which means the external load drive force is increased.

By making the sizes of transistors 7 and 9 small as in the case of Figure 2, the number of transistors can be decreased without increasing the magnitude of the through-type current of the first CMOS element.

#### [Effect of the Invention]

As should be evident from the foregoing, by means of this invention, a voltage conversion circuit equipped with an external load drive capacity can be constructed in a state in which there is a small number of transistors without an accompanying increase in consumed current.

#### 4. Brief Explanation of the Figures

Figure 1 is a circuit diagram that shows an example of this device and

Figure 2 is a circuit diagram that shows an example of a conventional circuit.

1 -- voltage conversion circuit

2 -- output buffer

3 -- input terminal

4 -- output terminal

5 -- inverter

6 -- low-voltage-side voltage terminal

7, 8, 9, 10, 11, 12, 13, 14 --- MOSFET

11 -- high-voltage-side voltage terminal





# 公開実用 昭和62- 73638

⑨ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-73638

⑬ Int. Cl.<sup>4</sup>

H 03 K 19/00  
17/687

識別記号

1 0 1

庁内整理番号

B-8326-5J  
Z-7190-5J

⑭ 公開 昭和62年(1987)5月12日

審査請求 未請求 (全 頁)

⑮ 考案の名称 電圧変換回路

⑯ 実 願 昭60-165099

⑰ 出 願 昭60(1985)10月29日

⑱ 考 案 者 西 尾 春 彦 川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富 士 電 機 株 式 会 社 川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁 理 士 谷 義 一

## 明 細 書

### 1. 考案の名称

#### 電圧変換回路

### 2. 実用新案登録請求の範囲

1) 互いに相補的な導電型のMOSFETを直列に接続してなる第1 および第2 の CMOS 素子を互いに並列に高電圧電源に接続し、前記第1 および第2 の CMOS 素子のそれぞれの一方のFET のゲートに互いに相補的な極性の低電圧入力を供給し、前記第1 および第2 の CMOS 素子の各出力を、それぞれ、前記第2 および第1 の CMOS 素子の他方のFET のゲートに供給し、前記第2 の CMOS 素子より出力を取り出すようにすると共に、前記第2 の CMOS 素子を構成する前記他方のFET と並列に当該他方のFET と同一導電型の付加FET を接続し、該付加FET のゲートには前記第1 の CMOS 素子の出力を供給するようにしたことを特徴とする電圧変換回路。

## 3. 考案の詳細な説明

### 〔産業上の利用分野〕

本考案は、電源電圧の異なる回路間でのレベルシフトを行う電圧変換回路に関するものである。

### 〔従来技術〕

従来、電源電圧の異なる回路間での電圧変換を行うにあたり、たとえば第2図に示すような電圧変換回路1を構成し、外部負荷に対しては、電圧変換回路1からの出力を出力バッファ2を介して取り出すことによって電流を稼いでいた。ここで、3は入力端子、4は出力端子、5は入力端子3からの入力を供給されるインバータ、6はこのインバータ5への低圧側電源電圧を供給する低電圧端子である。7および8はp-MOSFET、9および10はn-MOSFETであり、トランジスタ7と9および8と10はそれぞれ直列に接続されて第1および第2のCMOS素子を構成し、一方のCMOS素子のトランジスタ7および8のゲートをそれぞれ他方のCMOS

素子の出力端子に接続する。トランジスタ 9 のゲートにはインバータ 5 の出力信号を供給し、トランジスタ 10 のゲートには入力端子 3 からの入力信号を供給する。11 はこれらトランジスタ 7 ~ 10 への高圧側電源電圧を供給する高圧側端子であり、これら部分 5 ~ 11 により電圧変換回路を構成する。出力バッファ 2 は、トランジスタ 8 と 10 とによる CMOS 素子の出力端子に接続された直列接続 FET 12 および 13 による CMOS 素子を有し、この CMOS 素子の出力端子を出力端子 4 に接続する。

ここで、トランジスタ 7 と 8 および 9 と 10 のサイズをそれぞれ同一にして、第 1 および第 2 の CMOS 素子間において互いにバランスをとって電圧変換回路 1 を構成し、以て遅延時間を最小にしているが、この回路構成を、駆動能力の大きいレベルシフトに用いると、これら CMOS 素子を流れる貫通電流の増大を招いてしまう。

しかもまた、第 2 図からわかるように、この回路では外部負荷の駆動部を含めると少なくとも 6 個のトランジスタが必要であり、ドライバレー

のように、多数の電圧変換回路をワンチップ上に集積する場合には、チップサイズの増大を招いてしまう。

## 〔考案が解決しようとする問題点〕

そこで、本考案の目的は、上述の欠点を解決し、外部負荷の駆動能力を備え、かつ必要なトランジスタの個数を減少して電圧変換回路を提供することにある。

## 〔問題点を解決するための手段〕

このような目的を達成するために、本考案は、互いに相補的な導電型のMOSFETを直列に接続してなる第1および第2のCMOS素子を互いに並列に高電圧電源に接続し、第1および第2のCMOS素子の各一方のFETのゲートに互いに相補的な極性の低電圧入力を供給し、第1および第2のCMOS素子の各出力を、それぞれ、第2および第1のCMOS素子の他方のFETのゲートに供給し、第2のCMOS素子より出力を取り出すようにすると共に、第2のCMOS素子を構成する他方のFETと並列に他方のFETと同一導電型の付加FETを接続し、

付加FETのゲートには第1のCMOS素子の出力を供給するようにしたことを特徴とする。

〔作用〕

本考案によれば、消費電流の増加等を伴うことなく、トランジスタの個数が少ない状態で、外部負荷の駆動能力を備えた電圧変換回路を構成することができる。

〔実施例〕

以下に、図面を参照して本考案を詳細に説明する。

本考案電圧変換回路の一例を第1図に示す。ここで、第1図と同様の個所には同一符号を付してその説明を省略する。

第1図において、トランジスタ7と9よりなる第1のCMOS素子の出力端子を、第2図の場合と同様にトランジスタ8のゲートに接続すると共に、トランジスタ10と並列に接続したn-MOSFET 14のゲートにも接続する。

このようなトランジスタ14を設けない場合に、外部負荷の駆動能力を高めるためには、トランジ

# 公開実用 昭和62- 73638

スタ8 および10の電流駆動能力を大きくすればよいが、このようにすると、トランジスタ10のゲート電圧が低いので、第2図の出力トランジスタ13よりも大きなサイズのトランジスタを必要とする。

そこで、本考案では、第1 および第2 のCMOS素子間でバランスをとって構成した回路に対して、トランジスタ14をトランジスタ10と並列に接続してそのゲート電圧を高めることによりトランジスタ8 と14とによる第3 のCMOS素子の電流駆動能力を高めて、第2 のCMOS素子側と第1 のCMOS素子との間で駆動能力のバランスをくずし、以て外部負荷の駆動能力を高める。

ここで、トランジスタ7 および9 のサイズを第2図の場合と同様に小さなサイズとすることにより、この第1 のCMOS素子の貫通電流の大きさを増加させることなしに、トランジスタの個数を低減できる。

## 〔考案の効果〕

以から明らかなように、本考案によれば、消費

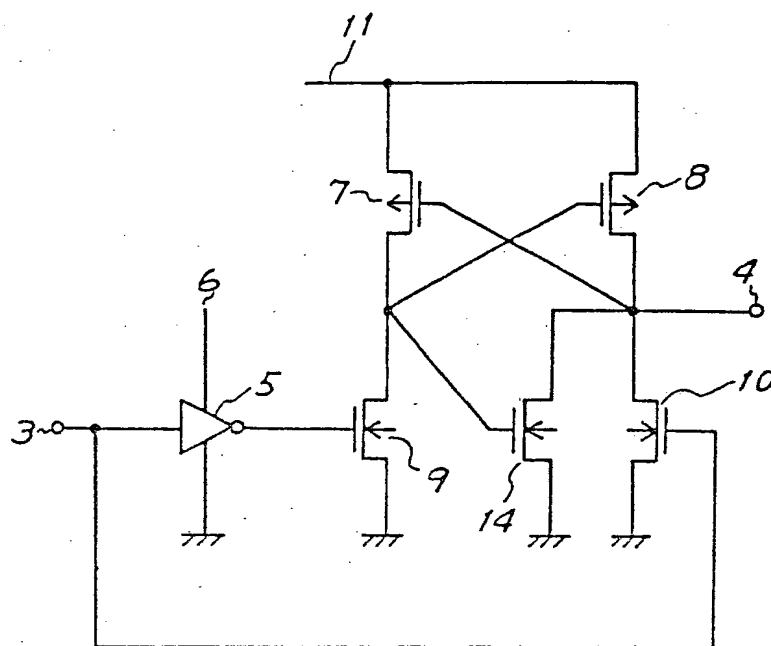


電流の増加等を伴うことなく、トランジスタの個数が少ない状態で、外部負荷の駆動能力を備えた電圧変換回路を構成することができる。

#### 4. 図面の簡単な説明

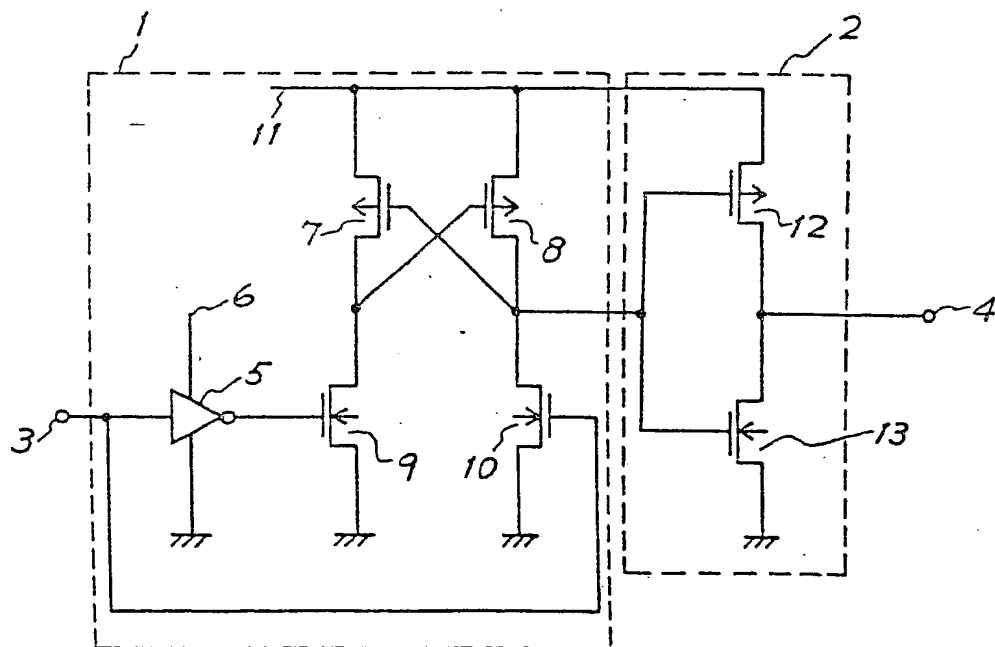
第1図は本考案の一実施例を示す回路図、  
第2図は従来例の回路例を示す回路図である。

- 1 … 電圧変換回路、
- 2 … 出力バッファ、
- 3 … 入力端子、
- 4 … 出力端子、
- 5 … インバータ、
- 6 … 低圧側電圧端子、
- 7, 8, 9, 10, 11, 12, 13, 14 … MOSFET、
- 11 … 高圧側電圧端子。



本考案実施例の回路図

第 1 図



従来例の回路図

第 2 図